

EPROM TMS 2716 JL, Attention - pin layout!

Not standard to other manufacturers!

Used TMS 2716 by sks - KISS and TA - Alphatronic Px  
Same for CPU / MOS-EPROMs

**update 20.mrz. 2016**

CRT - INTERFACE BC 10

MC 80-46 D

16 x 32 x 16 ( TV ) Matrix



**skS**

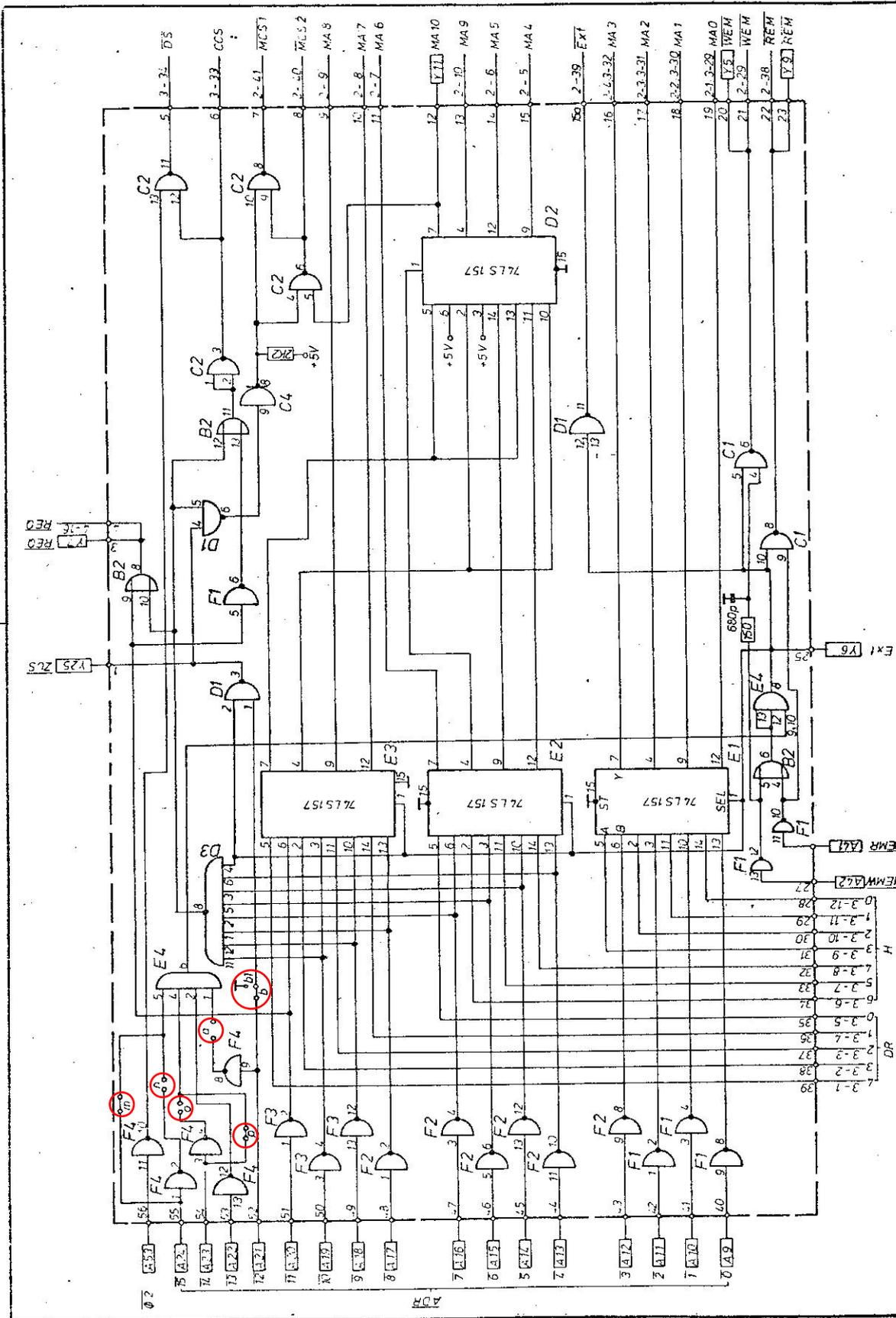
STEINMETZ, KRISCHKE  
SYSTEMTECHNIK – GMBH  
Maybachstraße 10  
7500 Karlsruhe 41

Telefon 07 21 / 40 30 76/77/78  
Telex : 7 826 934 sksg-d

**Helmut Wiertalla**  
Abteilungsleiter Software

MC 80-46 D/10.79

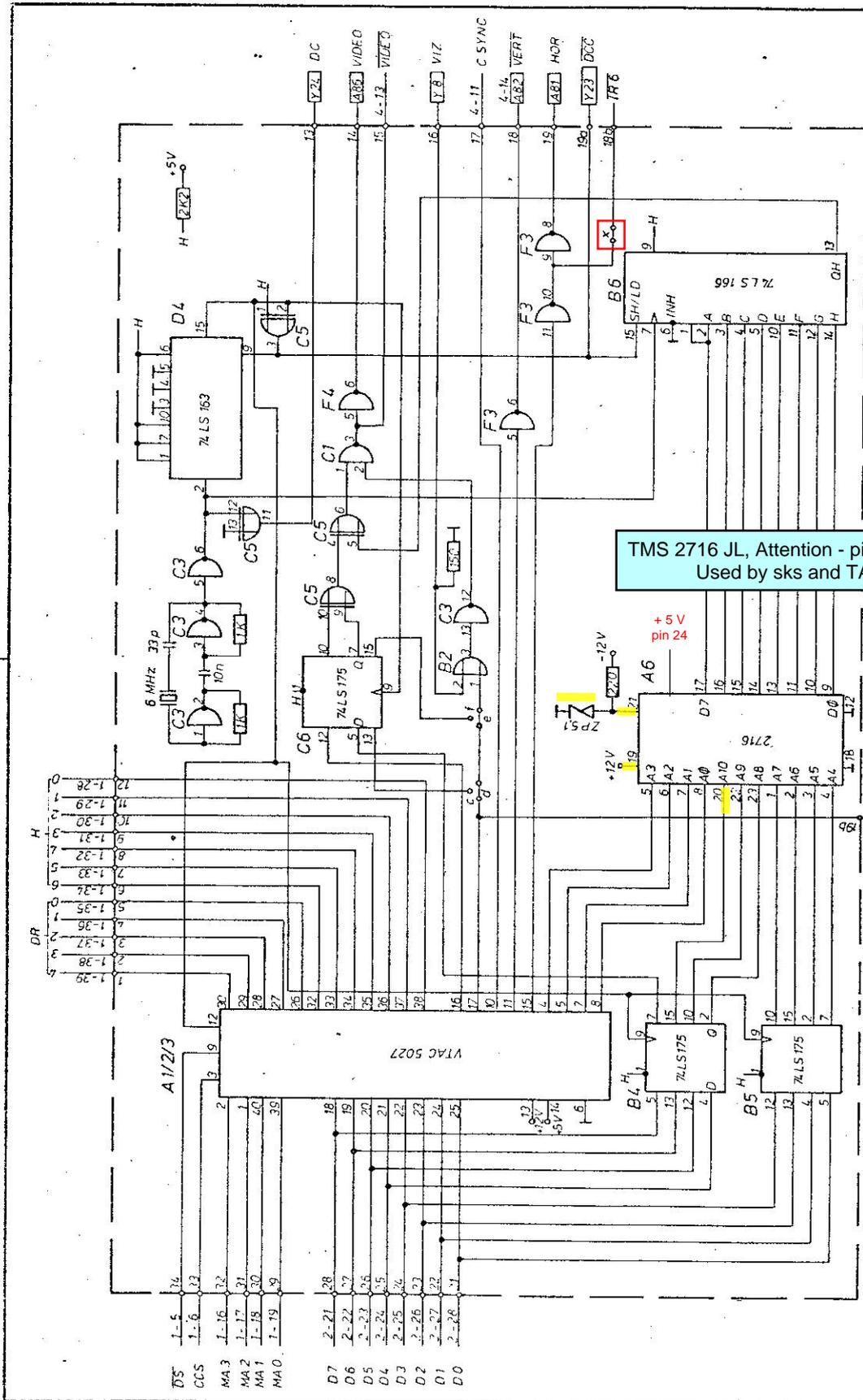




Diese Unterlage ist ausschließliche unser Eigentum  
 Ohne Zustimmung darf sie nicht ververvielfältigt werden  
 Personen nungeladener oder anderweitig berechtigt werden  
 Alle Rechte vorbehalten

Ausgabe		4	6	(18)	40
Tag		17.11.79	17.11.79	18.11.79	18.11.79
Name		4.64	4.64	4.64	4.64
And		4.55	670	678	724
Versionen					
DR	3-1	3-2	3-3	3-4	3-5
DR	3-6	3-7	3-8	3-9	3-10
H	3-11	3-12	3-13	3-14	3-15
MEMM (A2)		27			
MEMM (A4)		27			
1978		Tag	Name		
Beleg		23.8	24.8		
Grp.		24.8	24.8		
Norm					
SKS-GmbH			CRT - Interface		
MATERIAL			MC 80-46 D		
Blatt			80-46		
Blatt			No. 1		





TMS 2716 JL, Attention - pin layout!  
Used by sks and TA

Ausgabe		1978		Name		MC 80-46 D	
1	2	3	4	5	6	7	8
1-5	1-6	1-16	1-17	1-18	1-19	1-20	1-21
1-22	1-23	1-24	1-25	1-26	1-27	1-28	1-29
1-30	1-31	1-32	1-33	1-34	1-35	1-36	1-37
1-38	1-39	1-40	1-41	1-42	1-43	1-44	1-45
1-46	1-47	1-48	1-49	1-50	1-51	1-52	1-53
1-54	1-55	1-56	1-57	1-58	1-59	1-60	1-61
1-62	1-63	1-64	1-65	1-66	1-67	1-68	1-69
1-70	1-71	1-72	1-73	1-74	1-75	1-76	1-77
1-78	1-79	1-80	1-81	1-82	1-83	1-84	1-85
1-86	1-87	1-88	1-89	1-90	1-91	1-92	1-93
1-94	1-95	1-96	1-97	1-98	1-99	1-100	1-101
1-102	1-103	1-104	1-105	1-106	1-107	1-108	1-109
1-110	1-111	1-112	1-113	1-114	1-115	1-116	1-117
1-118	1-119	1-120	1-121	1-122	1-123	1-124	1-125
1-126	1-127	1-128	1-129	1-130	1-131	1-132	1-133
1-134	1-135	1-136	1-137	1-138	1-139	1-140	1-141
1-142	1-143	1-144	1-145	1-146	1-147	1-148	1-149
1-150	1-151	1-152	1-153	1-154	1-155	1-156	1-157
1-158	1-159	1-160	1-161	1-162	1-163	1-164	1-165
1-166	1-167	1-168	1-169	1-170	1-171	1-172	1-173
1-174	1-175	1-176	1-177	1-178	1-179	1-180	1-181
1-182	1-183	1-184	1-185	1-186	1-187	1-188	1-189
1-190	1-191	1-192	1-193	1-194	1-195	1-196	1-197
1-198	1-199	1-200	1-201	1-202	1-203	1-204	1-205
1-206	1-207	1-208	1-209	1-210	1-211	1-212	1-213
1-214	1-215	1-216	1-217	1-218	1-219	1-220	1-221
1-222	1-223	1-224	1-225	1-226	1-227	1-228	1-229
1-230	1-231	1-232	1-233	1-234	1-235	1-236	1-237
1-238	1-239	1-240	1-241	1-242	1-243	1-244	1-245
1-246	1-247	1-248	1-249	1-250	1-251	1-252	1-253
1-254	1-255	1-256	1-257	1-258	1-259	1-260	1-261
1-262	1-263	1-264	1-265	1-266	1-267	1-268	1-269
1-270	1-271	1-272	1-273	1-274	1-275	1-276	1-277
1-278	1-279	1-280	1-281	1-282	1-283	1-284	1-285
1-286	1-287	1-288	1-289	1-290	1-291	1-292	1-293
1-294	1-295	1-296	1-297	1-298	1-299	1-300	1-301
1-302	1-303	1-304	1-305	1-306	1-307	1-308	1-309
1-310	1-311	1-312	1-313	1-314	1-315	1-316	1-317
1-318	1-319	1-320	1-321	1-322	1-323	1-324	1-325
1-326	1-327	1-328	1-329	1-330	1-331	1-332	1-333
1-334	1-335	1-336	1-337	1-338	1-339	1-340	1-341
1-342	1-343	1-344	1-345	1-346	1-347	1-348	1-349
1-350	1-351	1-352	1-353	1-354	1-355	1-356	1-357
1-358	1-359	1-360	1-361	1-362	1-363	1-364	1-365
1-366	1-367	1-368	1-369	1-370	1-371	1-372	1-373
1-374	1-375	1-376	1-377	1-378	1-379	1-380	1-381
1-382	1-383	1-384	1-385	1-386	1-387	1-388	1-389
1-390	1-391	1-392	1-393	1-394	1-395	1-396	1-397
1-398	1-399	1-400	1-401	1-402	1-403	1-404	1-405
1-406	1-407	1-408	1-409	1-410	1-411	1-412	1-413
1-414	1-415	1-416	1-417	1-418	1-419	1-420	1-421
1-422	1-423	1-424	1-425	1-426	1-427	1-428	1-429
1-430	1-431	1-432	1-433	1-434	1-435	1-436	1-437
1-438	1-439	1-440	1-441	1-442	1-443	1-444	1-445
1-446	1-447	1-448	1-449	1-450	1-451	1-452	1-453
1-454	1-455	1-456	1-457	1-458	1-459	1-460	1-461
1-462	1-463	1-464	1-465	1-466	1-467	1-468	1-469
1-470	1-471	1-472	1-473	1-474	1-475	1-476	1-477
1-478	1-479	1-480	1-481	1-482	1-483	1-484	1-485
1-486	1-487	1-488	1-489	1-490	1-491	1-492	1-493
1-494	1-495	1-496	1-497	1-498	1-499	1-500	1-501
1-502	1-503	1-504	1-505	1-506	1-507	1-508	1-509
1-510	1-511	1-512	1-513	1-514	1-515	1-516	1-517
1-518	1-519	1-520	1-521	1-522	1-523	1-524	1-525
1-526	1-527	1-528	1-529	1-530	1-531	1-532	1-533
1-534	1-535	1-536	1-537	1-538	1-539	1-540	1-541
1-542	1-543	1-544	1-545	1-546	1-547	1-548	1-549
1-550	1-551	1-552	1-553	1-554	1-555	1-556	1-557
1-558	1-559	1-560	1-561	1-562	1-563	1-564	1-565
1-566	1-567	1-568	1-569	1-570	1-571	1-572	1-573
1-574	1-575	1-576	1-577	1-578	1-579	1-580	1-581
1-582	1-583	1-584	1-585	1-586	1-587	1-588	1-589
1-590	1-591	1-592	1-593	1-594	1-595	1-596	1-597
1-598	1-599	1-600	1-601	1-602	1-603	1-604	1-605
1-606	1-607	1-608	1-609	1-610	1-611	1-612	1-613
1-614	1-615	1-616	1-617	1-618	1-619	1-620	1-621
1-622	1-623	1-624	1-625	1-626	1-627	1-628	1-629
1-630	1-631	1-632	1-633	1-634	1-635	1-636	1-637
1-638	1-639	1-640	1-641	1-642	1-643	1-644	1-645
1-646	1-647	1-648	1-649	1-650	1-651	1-652	1-653
1-654	1-655	1-656	1-657	1-658	1-659	1-660	1-661
1-662	1-663	1-664	1-665	1-666	1-667	1-668	1-669
1-670	1-671	1-672	1-673	1-674	1-675	1-676	1-677
1-678	1-679	1-680	1-681	1-682	1-683	1-684	1-685
1-686	1-687	1-688	1-689	1-690	1-691	1-692	1-693
1-694	1-695	1-696	1-697	1-698	1-699	1-700	1-701
1-702	1-703	1-704	1-705	1-706	1-707	1-708	1-709
1-710	1-711	1-712	1-713	1-714	1-715	1-716	1-717
1-718	1-719	1-720	1-721	1-722	1-723	1-724	1-725
1-726	1-727	1-728	1-729	1-730	1-731	1-732	1-733
1-734	1-735	1-736	1-737	1-738	1-739	1-740	1-741
1-742	1-743	1-744	1-745	1-746	1-747	1-748	1-749
1-750	1-751	1-752	1-753	1-754	1-755	1-756	1-757
1-758	1-759	1-760	1-761	1-762	1-763	1-764	1-765
1-766	1-767	1-768	1-769	1-770	1-771	1-772	1-773
1-774	1-775	1-776	1-777	1-778	1-779	1-780	1-781
1-782	1-783	1-784	1-785	1-786	1-787	1-788	1-789
1-790	1-791	1-792	1-793	1-794	1-795	1-796	1-797
1-798	1-799	1-800	1-801	1-802	1-803	1-804	1-805
1-806	1-807	1-808	1-809	1-810	1-811	1-812	1-813
1-814	1-815	1-816	1-817	1-818	1-819	1-820	1-821
1-822	1-823	1-824	1-825	1-826	1-827	1-828	1-829
1-830	1-831	1-832	1-833	1-834	1-835	1-836	1-837
1-838	1-839	1-840	1-841	1-842	1-843	1-844	1-845
1-846	1-847	1-848	1-849	1-850	1-851	1-852	1-853
1-854	1-855	1-856	1-857	1-858	1-859	1-860	1-861
1-862	1-863	1-864	1-865	1-866	1-867	1-868	1-869
1-870	1-871	1-872	1-873	1-874	1-875	1-876	1-877
1-878	1-879	1-880	1-881	1-882	1-883	1-884	1-885
1-886	1-887	1-888	1-889	1-890	1-891	1-892	1-893
1-894	1-895	1-896	1-897	1-898	1-899	1-900	1-901
1-902	1-903	1-904	1-905	1-906	1-907	1-908	1-909
1-910	1-911	1-912	1-913	1-914	1-915	1-916	1-917
1-918	1-919	1-920	1-921	1-922	1-923	1-924	1-925
1-926	1-927	1-928	1-929	1-930	1-931	1-932	1-933
1-934	1-935	1-936	1-937	1-938	1-939	1-940	1-941
1-942	1-943	1-944	1-945	1-946	1-947	1-948	1-949
1-950	1-951	1-952	1-953	1-954	1-955	1-956	1-957
1-958	1-959	1-960	1-961	1-962	1-963	1-964	1-965
1-966	1-967	1-968	1-969	1-970	1-971	1-972	1-973
1-974	1-975	1-976	1-977	1-978	1-979	1-980	1-981
1-982	1-983	1-984	1-985	1-986	1-987	1-988	1-989
1-990	1-991	1-992	1-993	1-994	1-995	1-996	1-997
1-998	1-999	1-1000					

Diese Unterlage ist ausschließlich unser Eigentum.  
Ihre Zustimmung darf sie nicht veräußern, Dritten  
Personen mitteilen oder sonstwie zugänglich werden.  
Alle Rechte vorbehalten.



SKS GmbH		STECKERBELEGUNGSLISTE		STECKER : A	
PIN	Bezeichnung	Diagramm	Erläuterungen		Blatt Nr.
01	+ 5 V				
02	0 V				
03	+ 12 V				
04	0 V				
05	- 12 V				
06	0 V				
07					
08					
09	ADR $\emptyset$		Adresse - BUS $\emptyset$		
10	ADR 1		Adresse - BUS 1		
11	ADR 2		Adresse - BUS 2		
12	ADR 3		Adresse - BUS 3		
13	ADR 4		Adresse - BUS 4		
14	ADR 5		Adresse - BUS 5		
15	ADR 6		Adresse - BUS 6		
16	ADR 7		Adresse - BUS 7		
17	ADR 8		Adresse - BUS 8		
18	ADR 9		Adresse - BUS 9		
19	ADR 10		Adresse - BUS 10		
20	ADR 11		Adresse - BUS 11		
21	ADR 12		Adresse - BUS 12		
22	ADR 13		Adresse - BUS 13		
23	ADR 14		Adresse - BUS 14		
24	ADR 15		Adresse - BUS 15		
25	DAT $\emptyset$		Daten - BUS $\emptyset$		
26	DAT 1		Daten - BUS 1		
27	DAT 2		Daten - BUS 2		
28	DAT 3		Daten - BUS 3		
29	DAT 4		Daten - BUS 4		
30	DAT 5		Daten - BUS 5		
31	DAT 6		Daten - BUS 6		
32	DAT 7		Daten - BUS 7		
			TMM	Name	Blatt Nr.
			Autor		1
			Gepr.		von:
			Bearb.		4
			Doku.		
1	670	11.7.79	Kd		Seite:
Nr.	Anderung	TMMJJ	Name		
			SKS		Referenz- Baugruppe:
					MC 80 - 46

sks GmbH		STECKERBELEGUNGSLISTE			STECKER: A	
PIN	Bezeichnung	Diagramm	Erläuterungen		Blatt Nr.	
33	+ 5 VL		+ 5 V - Logikspannung			
34	0 VL		0 V - Logikmasse			
35	+ 12 VL		+ 12 V - Logikspannung			
36	0 VL		0 V - Logikmasse			
37	- 12 VL		- 12 V - Logikspannung			
38	0 VL		0 V - Logikmasse			
39						
40						
41	MEMR		Memory Read			
42	MEMW		Memory Write			
43						
44						
45						
46						
47						
48						
49						
50						
51						
52						
53	PHI 2		CPU-Takt $\phi$ 2			
54						
55						
56	INT		Interrupt			
57	IRO		Interrupt $\emptyset$			
58	IR1		Interrupt 1			
59	IR2		Interrupt 2			
60	IR 3		Interrupt 3			
61	IR 4		Interrupt 4			
62	IR 5		Interrupt 5			
63	IR 6		Interrupt 6			
64	IR 7		Interrupt 7			
			TTMM Name	Bezeichnung	Blatt Nr.	
			Autor	MC - 80 - BUS	2	
			Gepr.	Unterlagen Nr.:	von:	
			Bearb.	MC 80 - 46	4	
			Doku.	Referenz-Baugruppe:	Seite:	
1	670	11.7.79		MC 80 - 46		
Nr. Änderung	TTMMJJ	Name	<b>sks</b>			

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
65				
66	BAS		Bild-Austast-Synchronisiersignal	
67				
68				
69				
70				
71				
72				
73				
74				
75				
76				
77				
78				
79				
80				
81	ZIMP		Zeilen Impuls	
82	BIMP		Bild Impuls	
83				
84				
85				
86	VIDEO		Video Information	
87				
88				
89				
90				
91				
92				
93				
94				
95				
96				

				TTMMJ Name	Bezeichnung:	Blatt Nr.
			Autor	23.8 60	CRT-Interface	3
			Gepr		Unterlagen Nr.:	von:
			Searb		MC 80-46	4
			Doku		Referenz-Baugruppe:	Seite:
1	670	M 7.79	Kn		MC 80-46	
Änderung		TTMMJJ	Name		<b>eke</b>	

PIN	Bezeichnung	Diagramm	Erläuterungen	Blatt Nr.
01	MA 2		Interne Speicheradresse 2	
02	MA 3		Interne Speicheradresse 3	
03	OV			
04	OV			
05	WEM		Write Enable Memory	
06	Ext		Externe Speicheradresse dekodiert	
07	REQ		Interrupt Request	
08	VIZ		Video Zusatz	
09	REM		Read Enable Memory	
10	MA 8		Interne Speicheradresse 8	
11	MA 10		Interne Speicheradresse 10	
12	D Ø		Internes Datenbit Ø	
13	D 1		Internes Datenbit 1	
14	D 2		Internes Datenbit 2	
15	D 3		Internes Datenbit 3	
16	MA 5		Interne Speicheradresse 5	
17	MA 6		Interne Speicheradresse 6	
18				
19	+ 5 V			
20	+ 5 V			
21	MA 4		Interne Speicheradresse 4	
22	MA 7		Interne Speicheradresse 7	
23	DCC		Dot Counter Carry	
24	DC		Dot Counter	
25	ZUS		Zusatzkarte dekodiert	
26	MA 1		Interne Speicheradresse 1	
27	MA Ø		Interne Speicheradresse Ø	
28	MA 9		Interne Speicheradresse 9	
29				
30				
31				
32				

				78	TTMM	Name	Bezeichnung:	Blatt Nr.
				Autor	238	Ger	CRT-Interface	4
				Gepr.			Unterlagen Nr.:	von:
				Bearb.			MC 80-46	4
				Doku.			Referenz- Baugruppe:	Seite:
							MC 80-46	

1 670 11.7.79 Rn  
 Nr. Änderung TTMMJJ Name



sks GmbH		SIGNALBENENNUNGSLISTE					
Kurzbezeichnung	Erläuterung interner Signale				Blatt Nr.		
ADR	Basisadreßerkennung						
CCS	Controller Chip Select						
CUR	Cursor Signal						
DC	Dot Counter						
DCC	Dot Counter Carry						
DEC	Steueradresse dekodiert						
DS	Data Strobe						
EXT	Externe Speicheradresse dekodiert						
INV	Invers Information						
MA	Memory Adress						
MCS 1	Memory Chip Select 1.K						
MCS 2	Memory Chip Select 2.K						
MEM	Memory Befehlserkennung						
REM	Read Enable Memory						
REQ	Interrupt Request						
SEL	Bildwiederholpeicher selektiert						
WEM	Write Enable Memory						
VIZ	Video Zusatz						
			TTMM	Name	Bezeichnung	Blatt Nr.	
			Autor	23.8	64	CRT - Interface	I
			Gepr.			Unterlagen Nr.	von
			Bearb.			MC 80 - 46	I
			Doku			Referenz- Baugruppe	Seite
Nr. Änderung	TTMM	JJ	Name	sks		MC 80 - 46	

1. ADRESS - EINSTELLUNG

**ON**

**OFF**

Basis-ADR	Brücke geschl.	Brücke offen	Bemerkung
3000 H	p, m	n, o	Vorzugs- kaschierung
7000 H	o, m	n, p	
F000 H	o, n	p, m	

2. Adressraum - Beschränkung mit/ohne Zusatzkarte

	Brücke geschl.	Brücke offen
ohne Zusatzkarte	a, b1	b2
mit Zusatzkarte	b2	a, b1

			79	TTMM	Name	Bezeichnung:	Blatt Nr.:
			Autor	10.8.	Wz	CRT - Interface	1
			Gepr.			Unterlagen Nr.:	von:
			Bearb.			MC 80 - 46	2
			Doku.			Referenz-Baugruppe:	Seite:
2	678	22.8.79	Kn			MC 80- 46 A-H	
Nr.	Anderung	TTMMJJ	Name	<b>skS</b>			

3. Zusatzfunktionen

ON

OFF

Lfd.Nr.	Brücke	Brücke geschlossen	Brücke offen	Bedeutung
1	x	x		Zeilenrücklauf erzeugt Interrupt 6
2	k h	x	x	CRT-Controller-Ausg. "BL" erzeugt Interrupt
3	k h	x	x	CRT-Controller-Ausg. "BL" erzeugt nur dann einen Interrupt wenn das Anforderungs-FF gesetzt wurde (REQ)
4	$\overline{IR0}$ (A57) $\overline{IR1}$ (A58) $\overline{IR2}$ (A59) $\overline{IR3}$ (A60) $\overline{IR4}$ (A61) $\overline{IR5}$ (A62) $\overline{IR6}$ (A63) INT (A56)	x x x x x x x x		Interrupt-Beschaltung für Zeilenrücklauf
5	x		x	keine Funktion
6	d e	x x		generell geschlossen
7	c f		x x	generell offen ; nur für Testzwecke

				79	TTMM	Name	Bezeichnung:	Blatt Nr
				Autor	10.8.	Wa	CRT - Interface	2
				Gepr.			Unterlagen Nr.:	von
				Bearb.			MC 80 - 46	2
				Doku.			Referenz-Baugruppe:	Seite:
1	670	22.8.79	Kn	<b>SKS</b>			MC 80- 46 A-H	
Nr.	Anderung	TTMMJJ	Name					

Stromversorgung

Schnittstellen

Zeitzentrale

Timing-Diagramme

1. Stromversorgung

+ 5 V Typ: 650 mA max: 800 mA  
 + 12 V Typ: 60 mA max. 90 mA  
 - 12 V Typ: 40 mA max. 80 mA

2. Die Baugruppe MC 80-46 ist ein Randorgan-Interface (CRT-Controller) am MC 80 Bus und unterliegt voll dessen Spezifikationen.  
 (siehe MC 80 BUS-Beschreibung).

Der MC 80 Bus wird zwischen Pin 1 und Pin 64 belegt.

Der Peripheriegeräte-Abgang befindet sich zwischen Pin 65 und Pin 96.

3. - Anschluß am BUS wie ein RAM-Speicher  
 - eigener Bildwiederholtspeicher  
 - Schreiben und Lesen des Bildwiederholtspeichers  
 - Bildschirmraster und Bildschirmformat programmierbar  
 - max. 32 Zeilen mit 64 Zeichen oder 24 Zeilen mit 80 Zeichen  
 - Zeichendarstellung in 8 x 16 Punkt-Matrix  
 - 7 Bit-ASCII-Code, mit möglicher zeichenweiser Inversdarstellung  
 Option durch Stapelkarte realisiert:  
 - zeichenweise Graudarstellung  
 - zeichenweises Blinken

				TTMM	Name	Bezeichnung:	Blatt Nr.:
			Autor	23.8	Ca	CRT-Interface	1
			Gepr.			Unterlagen Nr.:	von:
			Bearb.			MC 80-46	1
			Doku.			Referenz- Baugruppe:	Seite:
Nr.	Änderung	TTMMJJ	Name	<b>SKS</b>		MC 80-46	

## BC 10 - programmierbarer Bildschirm-Controller

### Einführung

Mit dem programmierbaren Bildschirm-Controller BC 10 wurde speziell für den europäischen Markt eine Systembaugruppe entwickelt, die ein einfaches Aufrüsten von Mikroprozessor-Steuerungen mit einer komfortablen Bildschirmausgabe ermöglicht. Durch die Programmierbarkeit der Parameter von Bildschirmraster und Bildformat eignet sich die Baugruppe besonders für den OEM-Einsatz, wo ein einziger Steckkartentyp ohne Hardware-Änderung an unterschiedliche Monitor-Normen und Bildformate angepaßt werden kann.

Die Ansprüche an zusätzliche Software sind gering, da die Schnittstellen von Hard- und Software als normaler RAM-Speicher konzipiert wurden. Den Steuerbefehlen zur Bildformatierung, sind feste Adressen zugeordnet, so daß auch komfortable Funktionen innerhalb des Adreßbereichs der Baugruppe angesprochen werden können.

Der programmierbare Bildschirm-Controller BC 10 ist im Einfach-Europaformat aufgebaut und beinhaltet einen eigenen Bildwiederholpeicher für eine Darstellung von max. 2048 Zeichen, die programmierbare Zeitsteuerung zur Erzeugung von Bild- und Zeilensynchronsignalen und die Schnittstellenelektronik zum Anschluß sowohl von TTL-kompatiblen Bildschirmen mit separaten Synchron- und Videoeingängen als auch von Monitoren mit Norm-BAS-Eingang nach RS 170.

Die Adreßierung der Zeichen erfolgt über einen 16 Bit breiten Adreßbus. Die Baugruppe belegt einen Adreßraum von 4 K Bytes, wobei die Basisadresse fest eingestellt ist. Die Zeichenadresse setzt sich aus der Zeilen- und Zeichenposition auf dem Schirm zusammen. Dieses X-Y-Verfahren ermöglicht eine einfache Positionierung von Zeichen und Cursor.

Das Schreiben und Lesen des Bildschirminhaltes und der Cursorposition, das Setzen der Parameter für Bild- und Rasterformat, und weitere Steuerfunktionen erfolgen über einen 8 Bit breiten bidirektionalen Datenbus. Die 128 Zeichen werden in einer 8 x 16 Punkte großen Matrix dargestellt, die auch Unterlängen erzeugt. Die Zeichen können sowohl horizontal wie vertikal nahtlos aneinander angereiht werden (Möglichkeit der graphischen Darstellung). Angesteuert werden die Daten im 7-Bit-ASCII-Code. Bei gesetztem achten Datenbit wird das Zeichen invers dargestellt. Durch eine zusätzliche Stapelkarte lassen sich die zeichenbegleitenden Sonderzeichen: Grau, Blinken, Grau-Blinken erzeugen. Das Bildschirmformat reicht bis 24 Zeilen zu 80 Zeichen; bei Beschränkung auf 64 Zeichen pro Zeile können bis zu



32 Zeilen dargestellt werden.

Für Bildformate bis 16 Zeilen x 64 Zeichen ist die Baugruppe mit einem 1 K Byte großen Bildwiederholpeicher ausgestattet. Für die darüber hinausgehenden Formate bis 24 x 80 oder 32 x 64 ist ein weiterer 1 K-Speicher nachrüstbar. Die programmierbare Zeitsteuerung ist mit dem Steuerbaustein CRT 5027 von SMC aufgebaut.

Für alle TTL-Bauteile werden ICs der Serie 74 LS eingesetzt. Die Baugruppe programmierbarer Bildschirm-Controller PBC-Karte benötigt eine Stromversorgung von + 5 V, + 12 V.

Der CRT-Controller ist aufgeteilt in die Funktionsgruppen:

- Adreßerkennung und Adreßauswahl
- Adreßmodifizierung
  
- programmierbare Zeitsteuerung
- Bildwiederholpeicher mit Ausgabelatch
- Zeichengenerator
- Videosignal Erzeugung
- BAS-Generator
- Taktgenerator
  
- Adreßerkennung und Adreßauswahl

Der CRT-Controller verhält sich zur BUS-Schnittstelle wie ein 4 K-RAM-Speicher. Die oberen 4 Bits der auf F ~~000~~ liegenden Basisadresse aktiviert das Signal ADR.

Die restlichen 12 Adreßbits sind im Bildwiederholpeicher so aufgeteilt, daß jedes auf dem Bildschirm dargestellte Zeichen Teil eines x-y-Koordinatensystemes ist. Dabei bilden die Adreßbits A0 - A6 die Zeichenposition innerhalb der Zeile; die Adreßbits A 7 - A11 die Zeilennummer.

Bei einem externen (Rechner-) Zugriff, wird außer dem Signal ADR entweder MEMR oder MEMW aktiviert, und damit auf das Signal EXT. Dieses schaltet die 3 Adreßmultiplexer von interner Refresh-Adresse auf externe Rechneradresse um.

- Adreßmodifikation  
Die über den BUS kommenden 12 Zeichenadreßbits, werden auf der Karte zu einer 11 Bit-Adresse reduziert, um so den Speicherplatz dem tatsächlich benötigten Bedarf anzupassen. Diese Reduzierung erfolgt durch einen weiteren Multiplexer.

Die Zuordnung zwischen BUS-Adresse und der sich daraus ergebenden internen Speicheradresse zeigt die folgende Tabelle:

	TTMM	Name		TTMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	23.8	Ge	Bearb.			CRT-Interface	1	16
Gepr.			Doku.			Unterlagen Nr.: MC 80-46	Referenz Baugruppe: MC 80-46	

BUS-Adressen		00 - 3F	40 - 4F	50 - 5F	60 - 6F	70 - 7F
Basis- adresse	Zusatz- adresse	verbotener Zeichenadress- Bereich				
	Zeilen Nr.	Zeichen 1 - 64	Zeichen 65 - 80			
0 0 0	1	000 - 03F	600 - 60F	600 - 60F	600 - 60F	600 - 60F
0 8 0	2	040 - 07F	640 - 64F	640 - 64F	640 - 64F	640 - 64F
...	...	...	...	...	...	...
7 8 0	16	3C0 - 3FF	7D0 - 7DF	7D0 - 7DF	7D0 - 7DF	Interrupt Request
8 0 0	17	400 - 43F	620 - 62F	620 - 62F	620 - 62F	620 - 62F
8 8 0	18	480 - 47F	660 - 66F	660 - 66F	660 - 66F	660 - 66F
...	...	...	...	...	...	...
B 8 0	24	5C0 - 5FF	7E0 - 7EF	7E0 - 7EF	7E0 - 7EF	7E0 - 7EF
C 0 0	25	600 - 63F	630 - 63F	630 - 63F	630 - 63F	630 - 63F
...	...	...	...	...	...	...
F 8 0	32	7C0 - 7FF	7F0 - 7FF	7F0 - 7FF	7F0 - 7FF	Zeitablauf- Steuerung

-  Speicherbereich 1 K
- Bei den Steueradressen "Interrupt Request" und Zeitablaufsteuerung tritt kein Speicher-Chip-Select auf, so daß eine Doppelbeschreibung des Speichers vermieden wird.
- Der Speicherbereich für die Zeichen 65-80 in Zeile 1-24 und Zeichen 1-64 in Zeile 25-32 ist identisch, do daß die größtmöglichen Formate 32 Zeilen - 64 Zeichen bzw. 24 Zeilen - 80 Zeichen sind.

TTMM	Name	TTMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	23 8 6a	Bearb.		CRT-Interface	2	16
Gepr.		Doku.		Unterlagen Nr.:	Referenz Baugruppe:	
				MC 80-46	MC 80-46	

Der Interrupt-Request dient zur Synchronisierung des Rechnerzugriffes auf die vertikale Austastlücke, so daß der externe Zugriff während der Dunkelastung des Bildschirmes erfolgt. Dadurch wird eine Störung des Bildes beim Rechnerzugriff vermieden.

- Programmierbare Zeitsteuerung

Die programmierbare Zeitsteuerung erfolgt durch den Controller Chip CRT 5027. Seine Steuerregister werden durch die unteren 4 Adreßbits adressiert und über den Datenbus geladen. Dazu wird auf der Karte, außer dem Chip Select auch ein Data-Strobe erzeugt. Der Controller Chip erzeugt dann über die Ausgänge  $H_0 - H_6$  (Zeichenposition) und  $DR_0 - DR_4$  (Zeilennummer) die interne Refresh-Adresse für den Bildwiederholpeicher und über  $R_0 - R_3$  (Row Scan) die aktuelle Rasterzeilennummer für den Zeichengenerator.

Der Baustein erzeugt außerdem den horizontalen und vertikalen Synchronisationsimpuls, sowie ein Gemisch dieser Impulse für das BAS-Signal. Ferner liefert der Baustein das Cursor-Signal und das Blank-Signal für die Austastlücken.

	TTMM	Name		TTMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	23.8	Gu	Bearb.			CRT-Interface	3	16
Gepr.			Doku.			Unterlagen Nr.: MC-80-46	Referenz Baugruppe: MC 80-46	

- Bildwiederholpeicher

Die CRT-Controllerplatine benötigt je nach gewünschtem Darstellungsformat (16 x 32, 16 x 64, 24 x 80, Zeilen x Zeichen) einen 1 K bzw. 2 K großen Bildwiederholpeicher, der durch die Multiplexer der Adressenauswahl adressiert wird.

Die 8-Bit Datenausgänge dieses Speichers werden für einen Zeichenzyklus mit dem Signal DCC zwischengespeichert. Die unteren 7-Bit entsprechen dem ASCII-Code, während das 8. Bit zu einer zeichenbegleitenden Inversdarstellung benutzt wird.

- Zeichengenerator

Der ASCII-Code des Bildwiederholpeichers bildet zusammen mit den 4 Bit ( $R_0 - R_3$ ) des Controller Chip die Adresse für den Zeichengenerator (2 K Byte Prom mit max.128 Zeichen).

Mit dem Takt DCC werden die Daten dieses PROM'S parallel in ein Schieberegister übernommen und mit dem Takt DC in eine serielle Form gebracht.

	TTMM	Name		TTMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	23.8	64	Bearb.			CRT-Interface	4	16
Gepr.			Doku.			Unterlagen Nr.:	Referenz Baugruppe:	
						MC 80-46	MC 80-46	

- Video-Signal-Erzeugung

Die serielle Videoinformation des Schieberegisters wird mit dem aus Synchronisierungsgründen zwischengespeicherten Invers- bzw. Cursorbit verknüpft, das ebenso wie das Blanksignal (Horizontale vertikale Austastlücke) vom Controller Chip erzeugt wird.

Über ein WOR kann das Blank-Signal durch die Zusatzplatine modifiziert werden und somit die Grausteuerung bzw. das Blinken erzielt werden.

- BAS-Generator

Der BAS-Transistor-Generator liefert ein Signalgemisch niedriger Ausgangsimpedanz zur Ansteuerung von Monitoren mit BAS-Anschluß.

- Taktgenerator

Die Signale DC und DCC werden von einem Quarzgenerator bzw. von dem nachgeschalteten Synchronzähler geliefert. Dieser wird mit dem Videodot Clock getaktet und erzeugt bei Überlauf das Signal DCC. Mit der nächsten Taktflanke setzt er sich auf den Anfangszustand 8.

	TTMMName		TTMMName	Bezeichnung:	Blatt Nr.:	von:
Autor	23.8	6a	Bearb.	CRT-Interface	5	16
Gepr.			Doku.	Unterlagen Nr.: MC 80-46	Referenz Baugruppe: MC 80-46	

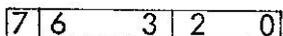
F FF0 Steuerregister 0



Bit 7 ... 0 Zeilenlänge-1, gemessen in Einheiten der Zeichenbreite.

16 x 32: 26  
 16 x 64: 4D  
 24 x 80: 6D

F FF1 Steuerregister 1



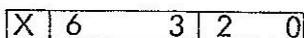
Bit 7 : Rastermodus

Bit 6 ... 3: Breite des Zeilensynchronimpulses, gemessen in Einheiten der Zeichenbreite

Bit 2 ... 0: Verzögerung des Zeilensynchronimpulses nach dem Ende der Video-Information der Zeile. Abstand rechter Bildrand bis zum Einsetzen der Zeilensynchronisation, gemessen in Einheiten der Zeichenbreite.

16 x 32: 25  
 16 x 64: 23  
 24 x 80: 2D

F FF2 Steuerregister 2



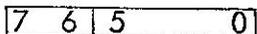
Bit 6 ... 3: Rasterzeilen pro Zeichenzeile - 1.

Bit 2 ... 0: Code für die Anzahl der Zeichen pro Zeile

16 x 32: 79  
 16 x 64: 7B  
 24 x 86: 7D

	TTMMName		TTMMName	Bezeichnung:	Blatt Nr.:	von:
Autor	23.8	6a	Bearb.	CRT-Interface	6	16
Gepr.			Doku.	Unterlagen Nr.:	Referenz Baugruppe:	
				MC 80-46	MC 80-46	

F FF3 Steuerregister 3



Bit 7, 6: Skew Bits

Bit 5 ... 0: Zahl der Zeichenzeilen - 1.

- 16 x 32: 4F
- 16 x 64: 4F
- 24 x 80: 57

F FF4 Steuerregister 4



Bit 7 ... 0: Code X für die Anzahl der Rasterzeilen

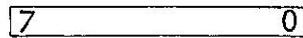
$$X = \frac{\text{Rasterzeilen} - 256}{2}$$

- 16 x 32: 1D
- 16 x 64: 1F
- 24 x 80: 48

	TTMM	Name		TTMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	238	60	Bearb.			CRT-Interface	7	16
Gepr.			Doku.			Unterlagen Nr.:	Referenz Baugruppe:	
						MC 80-46	MC 80-46	

FFF5

Steuerregister 5



Bit 7...0 : Anzahl der leeren Rasterzeilen am Bildanfang nach Beginn des Bildsynchronimpulses

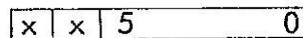
16 x 32: 22

16 x 64: 22

24 x 80: ØD

FFF6

Steuerregister 6



Bit 5...0 : Nummer der letzten angezeigten Datenzeile. Die Zählung der Datenzeilen beginnt bei 0.

Durch Ausgabe dieses Steuerparameters kann ein beliebiges Aufwärts- oder Abwärtsverschieben der Zeilen des Bildes durchgeführt werden (scrolling). Nach oben/unten herausgeschobene Zeilen werden unten/oben wieder angefügt.

16 x 32: ØF

16 x 64: ØF

24 x 80: 17

FFF8

Auslesen der vertikalen Position des Cursors (Zeilennummer)

FFF9

Auslesen der horizontalen Position des Cursors (Zeichenposit.)

FFFC

Einschreiben der horizontalen Cursor-Position.

FFFD

Einschreiben der vertikalen Cursor-Position.

Die Zählung der Zeichen- und Cursor-Position beginnt stets mit 0.

FFFA

Rücksetzen der programmierbaren Zeitsteuerung.

FFFB

Roll-up um eine Zeile. Der Bildinhalt wird um eine Zeile nach oben verschoben; die zuvor oberste Zeile wird als letzte Zeile angefügt.

FFFE

Start der programmierbaren Zeitsteuerung nach einem Reset-Befehl.

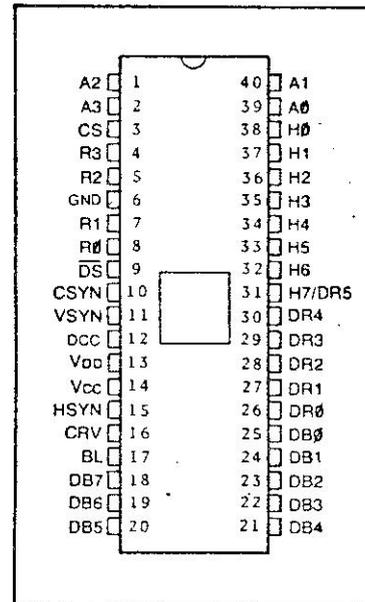
TTMMName		TTMMName		Bezeichnung:	Blatt Nr.:	von:
Autor	23.8 60	Bearb.		CRT - Interface	8	16
Gepr.		Doku.		Unterlagen Nr.: MC 80 - 46	Referenz Baugruppe: MC 80 - 46	

# CRT Video Timer-Controller VTAC

## FEATURES

- Fully Programmable Display Format
  - Characters per data row
  - Data rows per frame
  - Raster scans per data row
  - Raster scans per frame
- Fully Programmable Monitor Format
  - Horizontal Sync
  - Vertical Sync
  - Composite Sync
- Programmed via:
  - Processor data bus
  - External PROM
  - Mask option ROM
- Standard or Non-Standard CRT
  - Monitor Compatible
- Scrolling
- Generation of Cursor Video
- Interlaced and Non-interlaced Operation
- Vertical Data Positioning
- TTL Compatibility
- High Speed Operation
- COPLAMOS® N-Channel Silicon Gate Technology

## PIN CONFIGURATION



## General Description

The CRT Video Timer-Controller Chip (VTAC) is a user programmable 40-pin COPLAMOS® n channel MOS/LSI device containing the logic functions required to generate all the timing signals for the presentation and formatting of interlaced and non-interlaced video data on a standard or non-standard CRT monitor.

With the exception of the dot counter, which may be clocked at a video frequency above 25 MHz and therefore not recommended for MOS implementation, all frame formatting, such as horizontal, vertical, and composite sync, characters per data row, data rows per frame, and raster scans per data row and per frame are totally user programmable. The data row counter has been designed to facilitate scrolling.

Programming is effected by loading seven 8 bit control registers directly off an 8 bit bidirectional data bus. Four register address lines and a chip select line provide complete microprocessor compatibility for program controlled set up. The device can be "self loaded" via an external PROM tied on the data bus as described in the OPERATION section. Formatting can also be programmed by a single mask option.

In addition to the seven control registers two additional registers are provided to store the cursor character and data row addresses for generation of the cursor video signal. The contents of these two registers can also be read out onto the bus for update by the program.

	TIMM	Name		TIMM	Name	Bezeichnung:	Blatt Nr.:	von:
Autor	23 8	6a	Bearb.			CRT-Interface	9	16
Gepr.			Doku.			Unterlagen Nr.:	Referenz Baugruppe:	
						MC 80-46	MC 80-46	